

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-063073

(43)Date of publication of application : 12.03.1993

(51)Int.Cl.

H01L 21/76
H01L 27/092

(21)Application number : 03-219801

(71)Applicant : HITACHI LTD

(22)Date of filing : 30.08.1991

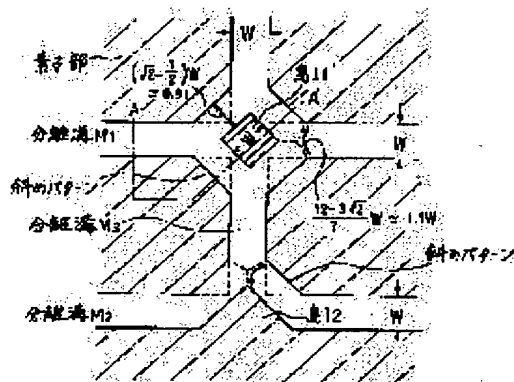
(72)Inventor : TAMAOKI YOICHI
SHIBA TAKEO
KURE TOKUO
NAKAMURA TORU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To make it possible to reduce sinking in the center of a groove after filling and flattening thereof and to layout crossed grooves, by forming a flat configuration of the U-shaped groove with a pattern by chamfering right angle parts created by crossing of the grooves and forming an insular pattern at least at the cross of the groove.

CONSTITUTION: A cross of a longitudinal separating groove M3 and a transverse separating groove M1 is formed with an oblique pattern by chamfering right angle parts of four elements separated by the cross. A square island I1 with each side parallel to the oblique pattern is formed in the center of the cross. On the other hand, a cross of the separating groove M3 and a separating groove M2 is formed with an oblique pattern by chamfering right angle parts of two elements separated by the cross. Further, an isosceles triangular island I2 with two sides parallel to the oblique pattern is formed in the center of the cross. Therefore, limits in the placement of components can be eliminated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-63073

(43)公開日 平成5年(1993)3月12日

(51)Int.Cl.⁵

H 0 1 L 21/76
27/092

識別記号

庁内整理番号

L 9169-4M

7342-4M

F I

技術表示箇所

H 0 1 L 27/ 08

3 2 1 Z

審査請求 未請求 請求項の数6(全 9 頁)

(21)出願番号 特願平3-219801

(22)出願日 平成3年(1991)8月30日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 玉置 洋一

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 芝 健夫

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 久禮 得男

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 薄田 利幸 (外1名)

最終頁に続く

(54)【発明の名称】 半導体集積回路及びその製造方法

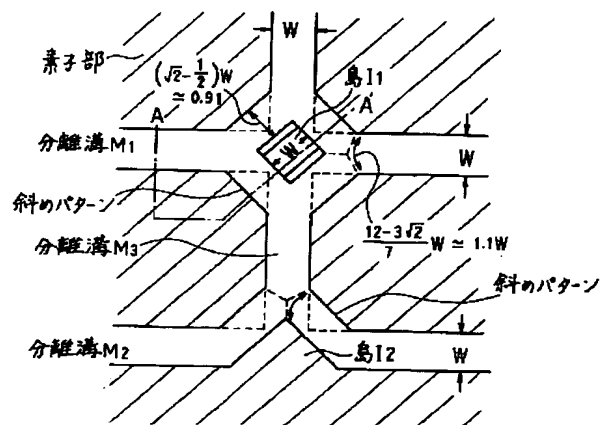
(57)【要約】

【目的】 半導体集積回路の素子分離等の用途に用いられるU字溝に関して、十字に交差する溝のレイアウトを行っても溝の交差部分の落ち込みを低減でき、集積回路を構成する素子の配置の制限を無くす。

【構成】 素子分離用のU溝の交差部分に斜めパターンを使用することにより、実効的な溝幅の増加を抑えて溝埋め込み平坦化後の表面の段差(溝中央部の落ち込み)を低減する。十字の交差部では交差点の中心にダミーの島パターンを、T字の交差部分ではV型の凸パターンを形成する。

【効果】 素子分離溝の実効的な溝幅の増大を従来の約1.4倍から約1.1倍に低減し、交差部分での段差を従来の0.29から0.16に低減することができ、集積回路の製造が容易になり、集積回路の良品率が従来の3倍以上に向上した。また、従来は上記の段差が大きくて製作が困難であったU溝分離型のCMOS集積回路の製造も可能になった。

図1



【特許請求の範囲】

【請求項1】 U字型の溝が交差部をもって形成された半導体集積回路において、上記溝の平面形状を、溝の交差部によって分離される直角部の角をとった斜めパターンで形成し、少なくとも溝の交差部に島状パターンが形成されたことを特徴とする半導体集積回路。

【請求項2】 請求項1記載の半導体集積回路において、上記U字型の溝が回路素子分離のための溝で、上記溝に誘電体材料が埋め込まれたことを特徴とする半導体集積回路。

【請求項3】 請求項1又は2記載の半導体集積回路において、上記斜めパターンは直交する溝と 45° の角度をなし、上記島状パターンの上記斜めパターンに面する部分が上記斜めパターンと並行になるように形成されたことを特徴とする半導体集積回路。

【請求項4】 平面形状が直交する交差部分をもつ素子分離用の溝を有する半導体集積回路の製造方法において、上記溝を形成する工程が、交差部分の溝によって分離される素子領域の直角部の角をとった斜めパターンをもち、交差部の中心にダミーの島状パターンをもち、深さ方向がU字型となる溝を形成する工程と、上記U字型となる溝に誘電体材料を埋め込む工程とをもつことを特徴とする半導体集積回路の製造方法。

【請求項5】 平面形状が直交する交差部分をもつ素子分離用の溝を有する半導体集積回路の製造方法において、上記溝を形成する工程が、交差部分の溝によって分離される素子領域の直角部の角をとった斜めパターンをもち、少なくとも交差部の中心にダミーの島状パターンをもち、素子領域の縁に沿って溝パターン幅の $1/2$ よりも狭い一定溝幅のU字溝を形成する工程と、上記U字型となる溝に誘電体材料を埋め込む工程とをもつことを特徴とする半導体集積回路の製造方法。

【請求項6】 請求項4又は5記載の半導体集積回路の製造方法において、上記誘電体材料を埋め込む工程をCVD法によって行うことを特徴とする半導体集積回路の製造方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、半導体集積回路及びその製造方法、特に回路素子分離用の溝をもつ高集積度で高性能な半導体集積回路の製造方法に関する。

【0002】

【従来の技術】 従来、高速で高集積な半導体集積回路には特開昭58-199536に示されているようにSi等の半導体基板にU字型の溝（以下U溝とも略称する）を形成して回路素子間の絶縁分離を行なう方法が用いられてきた。このような半導体集積回路の製造においては、U溝内に絶縁物等の誘電体材料を埋め込む場合、溝の表面を平坦化するプロセスを簡略化して生産性を向上させるために、U溝の幅を一定値に制限することが行わ

れている。

【0003】

【発明が解決しようとする課題】 上述のような半導体集積回路では、構成素子を高密度に配置するためには分離用のU溝を十字あるいはT字に交差するようにレイアウトする必要がある。しかし、図2に示すように十字の交差部分では実効的な溝幅が、交差部外の溝幅に比較して1.41倍に、T字の交差部分では1.25倍に拡大し、埋め込んだ溝の交差部に凹みを生じ平坦化に支障が生じる。すなわち、CVD（化学気相成長）法等でU字型の溝内にSiO₂やSi₃N₄、多結晶Si等の埋込材料を形成する際に、膜の堆積がほぼ等方的に起こるため、溝幅の広い部分では溝の中心部分が落ち込んでしまい、平坦化エッチングの後までこの凹みが残って平坦性が著しく損なわれる。

【0004】 そこで、従来はマスクパターン設計の際に十字に交差した溝の配置を禁止してT字に交差した溝のみを使用することによって交差部分の落ち込みを低減してきた。しかし、このような対策では交差部分の落ち込みを十分低減できない上に、構成素子の配置が制限されて高集積化が阻害されるという問題点があった。本発明の目的は、素子分離用等の溝の構成に関して、十字の交差した溝のレイアウトを可能にして構成素子の配置の制限を無くすと同時に、溝の交差部分を埋め込み材料で埋めた場合に、凹み、即ち、溝幅の実質的拡大部で表面の落ち込みを低減できる半導体集積回路及びその製造方法を提供することである。

【0005】

【課題を解決するための手段】 上記目的を達成するため、本発明は、U字型の溝に埋め込んだ層が、平面形状が交差部をもって形成された半導体集積回路において、溝の平面形状を、溝の交差によって形成される直角部の角をとったパターンで形成し、少なくとも溝の交差部に島状パターンが形成される様にした。

【0006】 ここで、交差部とは、直線状の溝が十字に直交する場合とT字に直交する場合を意味し、直角部の角をとった斜めパターンは、好ましくは、溝で分離された領域の直交部で形成される直角部の直角2等辺三角形を除く場合であるが、これに限定されない。更に、島状パターンは溝が十字に直交する部分の場合の様に、完全に溝の内部にある場合と、T字に直交する部分の場合の様に、島状パターンの1部が、U字型の溝によって分離された領域に一部連続してもよい。

【0007】 半導体集積回路における上記溝は主として、回路素子分離用であるが、これに限定されない。上記構造の半導体集積回路の製造方法は、マスクパターンの形状を除いては、従来知られている回路素子分離用の溝を持つ半導体集積回路の製造方法と同じである。また、島パターン状に残した薄膜の段差を利用して交差部の中心に自己整合的に島パターンを残すことも可能であ

る。

【0008】

【作用】図1は本発明の原理を説明するために、本発明の半導体集積回路のU字型の溝部と回路素子部を模擬的に示した平面図を示す。縦の分離溝M3と横の分離溝M1との十字型の交差部には、交差部によって分離される4つの素子部が直角部（点線で示す直角2等辺3角形）の角をとった斜めパターンで形成されており、溝の交差部の中心部には、各辺が上記斜めパターンと並行な辺を持つ正方形の島I1が形成されている。また、縦の分離溝M3と横の分離溝M2の交差部は、交差部によって形成される2つの素子部が直角部（点線で示す直角2等辺3角形）の角をとった斜めパターンで形成され、溝の交差部の中心部には、2等辺が上記斜めパターンと並行な辺を持つ2等辺三角形の島I2が形成されている。

【0009】各分離用の溝の幅をW、正方形の島I1の1辺の長さをWとする。十字型およびT字型の交差部分では、ダミーの島と斜めの溝壁との距離（溝幅）は、約0.91Wとなり、溝の分岐部分における溝壁から最遠点までの距離は、約0.55Wとなる。即ち、溝の埋め込みに関する実効的な溝幅の最大値は、約1.1Wとなる。

【0010】さて、幅Xの深溝にCVD法で薄膜を埋め込んだとき、溝中央部に発生する深さ方向の凹みの量Aは、溝幅Wと堆積膜厚Dに依存する。Dで規格化したAとWとの関係を図3に示す。図3から、交差部分での凹みの量A（段差）は、従来の斜めパターンを持たない十字交差部の0.29、T字交差部の0.22に対して、本発明によるの交差部では0.165となり、従来の十字交差部に対して約43%、T字交差部に対して約25%段差が低減される。

【0011】以上、本発明を半導体集積回路の素子分離に用いた場合について述べたが、本発明は素子分離以外にもダミーパターンを利用して素子表面あるいは配線上を平坦化する場合にも適用できることは言うまでもない。配線上を平坦化する場合、分離部分の溝幅を一定にするために使用するダミーパターンは配線材料をそのまま使用しても良いし、新たに絶縁膜で形成しても良い。前者の場合には製造プロセスが簡単になる特長があるが、配線容量が増加する欠点がある。後者の場合には製造プロセスが複雑になるかわりに、配線容量が小さくなる特長がある。

【0012】

【実施例】実施例1

本発明によるバイポーラ型半導体集積回路の製造に適用した実施例について、工程断面図（図4～図8）を用いて詳細に説明する。P型で抵抗率が $10 \sim 30 \Omega \cdot \text{cm}$ のSi基板1に、コレクタ用のN型の埋め込み層2を形成した後、その上にCVD法により約 $0.5 \mu\text{m}$ の厚みのSiエピタキシャル成長層3を形成した（図4）。な

お、各図の断面は図1の破線A-A'に相当する。

【0013】次に、熱酸化法とCVD法により 600 nm の厚みの SiO_2 膜4を形成し、ホトリソグラフィ技術を用いて幅 $0.5 \mu\text{m}$ の素子分離用の溝パターンを形成し、ドライエッチング法で SiO_2 膜4をパターニングした後、Siをドライエッチング法で垂直に約 $3 \mu\text{m}$ 掘り、埋込層2を突き抜けるU字型の溝5-1、5-2、5-3を形成した。溝5-1は幅 $0.5 \mu\text{m}$ の溝、5-2及び5-3は図1の破線A-A'における交差部の島I1と交差する部分で、いずれも幅 $(0.5 \times 0.91) \mu\text{m}$ の溝部に相当する。そして、表面に残った SiO_2 膜4をマスクにしてハウ素をイオン打ち込み法で溝底に導入し、チャンネル発生防止層6を形成した（図5）。

【0014】次に、 SiO_2 膜4を除去した後、熱酸化法を用いて膜厚 50 nm の SiO_2 膜7を形成し、その上にCVD法で膜厚 50 nm の Si_3N_4 膜8を形成し、さらに、CVD法で膜厚 150 nm の SiO_2 膜9と膜厚 300 nm の多結晶Si膜10を形成した（図6）。次に、多結晶Si膜10をエッチバックした後、 SiO_2 膜9をエッチバックして表面を平坦化し、 Si_3N_4 膜8をマスクにして溝中央部に残った多結晶Si10の表面を酸化し SiO_2 膜11に変えた。ここで、溝の中心部には溝幅の広い部分5-1には厚い多結晶Siが、溝幅の狭い部分5-2及び5-3には薄い多結晶Siが残っている（図7）。

【0015】次に、選択酸化法を用いてフィールド酸化膜12（膜厚 $300 \sim 500 \text{ nm}$ ）を形成し、コレクタ引き上げ用のN型拡散層13を形成し、ベース電極取り出し用の多結晶Si膜（又は金属シリサイド膜／多結晶Si膜）14（膜厚 $200 \sim 400 \text{ nm}$ ）とCVDの SiO_2 膜15を形成してパターニングした後、再びCVDの SiO_2 膜（膜厚 $100 \sim 300 \text{ nm}$ ）を堆積しドライエッチングで2層膜14/15の側壁にこの SiO_2 膜17を残した。ここで、ベースの下のエピタキシャル成長層中にリンをイオン打ち込み法で導入し（加速電圧 180 KeV ドーズ量 $3 \sim 5 \times 10^{12} / \text{cm}^2$ ）台状のコレクタ領域を形成した。さらに、 BF_2 を加速電圧 25 KeV で $1.5 \times 10^{14} / \text{cm}^2$ イオン打ち込みして真性のベース領域（18の平坦部）を形成した。ベース多結晶Si14と真性ベースとの接続はベース多結晶Siにドーブしたハウ素を単結晶側に拡散させることによって行っている。

【0016】次に、エミッタ用の多結晶Si膜19を形成し、そこからエミッタ用のN型不純物（AsまたはP）を拡散させてエミッタ拡散層20を形成した。次に、パッシベーション膜21を形成した後、コンタクトの孔開けを行い、バリア金属22を介してA1電極を形成して、エミッタ電極24、ベース電極25、コレクタ電極26ができ、NPN型のバイポーラトランジスタが

完成した(図8)。また、本発明を用いてPNP型のバイポーラトランジスタを形成する場合は、基板や拡散層の導電型が全て反対になるように不純物を選べば良い。

【0017】実施例2

実施例1では素子分離溝パターンの交差部にダミーの島パターンを形成しているが、隣接した能動領域を2本の溝で分離することにすれば、溝交差部の斜めのパターンを図9に示すように設計最小寸法まで小さくすることができる。実施例2は、素子領域の縁に沿って狭い一定溝幅のU字溝を持つ素子分離用の溝を自己整合的に形成する方法について述べる。

【0018】P型のSi基板1に、コレクタ用のN型の埋め込み層2を形成した後、その上にSiエピタキシャル層3を形成し、さらに熱酸化膜27(膜厚約100nm)とCVD酸化膜28(膜厚約600nm)を形成した。そして、ホトエッチング技術を用いて、素子分離用の0.5~0.6μm幅の溝パターン29を酸化膜27及び28に形成した(図10)。

【0019】次に、熱酸化で膜厚約100nmのSiO₂膜30を形成した後、CVD法で多結晶Si膜(膜厚100~200nm)を堆積し異方性のドライエッチングで溝パターンの側壁のみに多結晶Si膜31を残した。そして、残った溝を完全に埋め込むようにCVD法でSiO₂膜32(膜厚約600nm)を形成した(図11)。次に、SiO₂膜32をドライエッチング法でエッチバックし、多結晶Si膜31が出たところでエッチングを止めた(図12)。

【0020】残ったSiO₂膜28及び32をマスクにして多結晶Si膜31をエッチングし、さらに薄いSiO₂膜30をエッチングした後、再びSiO₂膜28及び32をマスクにしてSiを垂直に約3μmエッチングして、N型埋込層2を突き抜ける幅約0.15μmのU溝33を形成した。このU溝の幅は多結晶Si膜31の膜厚で決まる。このU溝は素子分離領域の中に2本入れることになるので、その幅は素子分離パターンの幅の1/2よりも小さくする必要がある。ここで、残ったSiO₂膜28及び32をマスクにしてホウ素をイオン打込み法で溝内に導入し、チャネル発生防止層6を形成した(図13)。

【0021】表面に残っているSiO₂膜28及び32を除去した後、熱酸化で薄いSiO₂膜34(膜厚20~50nm)を形成し、さらにCVD法で膜厚30~50nmのSi₃N₄膜35と膜厚約200nmのSiO₂膜36を形成し、SiO₂膜をエッチバックして表面を平坦化して素子分離構造が完成した(図14)。この後、実施例1と同様にしてバイポーラ形のトランジスタを製造できる。

【0022】実施例3

実施例1および2では、本発明を通常のSi基板に適用した場合について述べたが、本発明は通常のSi基板の

みならず絶縁膜に間に挟んだSOI(Silicon On Insulator)基板に適用できることは言うまでもない。実施例3は実施例2の素子分離構造をSOI基板を用いて製作したものである。図15において、支持基板Si37aとデバイス用Si基板1とを絶縁分離するSiO₂膜層が37である。なお、実施例2と同一構成層には同一の符号を付して説明を省く。

【0023】実施例4

本発明は、バイポーラトランジスタのみならず、MOSトランジスタをもつ集積回路の製造にも適用が可能である。したがって、バイポーラとMOSを同時に形成するいわゆるBi-CMOS集積回路に適用できることは言うまでもない。実施例4では、CMOSトランジスタの素子分離に適用した実施例について述べる。P型で抵抗率が約10ΩcmのSi基板38に選択酸化法を用いて素子以外の領域に膜厚が200~500nmのSiO₂膜39を形成した後残ったSi₃N₄膜を除去し、再び全面にSi₃N₄膜40(膜厚約100nm)を形成した。そして、NMOSとPMOSの境となる部分にホトレジスト膜をマスクにして、ドライエッチングでSi₃N₄膜40、SiO₂膜39及びSi基板38を順にエッチングして素子分離用のU溝41(幅約0.4μm、深さ約2μm)を形成した(図16)。

【0024】溝の内面を酸化して30nm程度の薄いSiO₂膜42を形成した後、CVD法でSiO₂膜43(膜厚50~100nm)を全面に形成し、さらに多結晶Si膜44を200~300nm形成し、溝以外の表面に多結晶Si膜が残らないようにエッチバックした。ここで、多結晶Si膜44の表面はオーバーエッチングのために0.1~0.2μm凹んでいる(図17)。

【0025】次に、熱酸化を行って多結晶Si膜44の表面に厚さ0.2~0.3μmのSiO₂膜45を形成して表面を平坦化した後、表面に残っているSiO₂膜43をエッチングし、Si₃N₄膜40を除去した。そして、ホトレジスト膜46をマスクにしてU溝を境にしてNMOSを形成すべき領域にホウ素イオンを200KeV程度の高加速エネルギーで打ち込み、U溝に接するP型のウェル領域47を形成した(図18)。

【0026】次に、ホトレジスト膜をマスクにしてPMOSを形成すべき領域にリンイオンを300KeV程度の高加速エネルギーで打ち込み、N型のウェル領域48を形成した(図19)。次に、表面の薄いSiO₂膜を除去し、ゲート酸化を行ってゲート酸化膜49(膜厚約10nm)を形成した後、しきい電圧を調整するためのイオン打ち込みを行った。そして、その上にゲート電極となる多結晶Si膜51を形成してゲートのパターンニングを行ない、低濃度のソース及びドレイン用のイオン打ち込みを行った後、CVD法でSiO₂膜を形成しドライエッチングで異方性のエッチングを行ってゲート電極の側壁にSiO₂膜52を残した。

【0027】次に、Asイオンを高濃度に打ち込んで、NMOSトランジスタのソース及びドレイン拡散層53、54を、BF₂イオンを高濃度に打ち込んでPMOSトランジスタのソース及びドレイン拡散層55、56を形成した。そして、パッシベーション膜57を形成し、コンタクトの孔開けを行ないCMOSトランジスタが完成した(図20)。この後、電極と配線を形成してLSIが完成する。実施例4はCMOSの製造方法について述べたが、実施例1と実施例4とを組み合わせることでBi-CMOS集積回路を製造することも、また、さらに実施例3を組み合わせることで絶縁膜上にBi-CMOS集積回路を製造することも可能である。

【0028】

【発明の効果】本発明を用いることにより、U字溝を素子分離に用いた集積回路において、素子分離溝の交差部における段差の発生を従来の1/2以下に低減できるため、その後のトランジスタ等のデバイスの製作が容易になり、集積回路の良品率が従来の3倍以上に向上した。また、従来は上記の段差が大きすぎて製作が困難であったU溝分離型のCMOS集積回路の製造も本発明を用いることによって可能になった。その結果、CMOS及びBi-CMOS集積回路の集積度が約2倍向上し、寄生容量の低下で動作速度が約30%向上した。

【図面の簡単な説明】

【図1】本発明による素子分離パターンの一例を示す平面図である。

【図2】従来技術による素子分離パターンを示す平面図である。

【図3】溝の埋込における表面の凹み量Aと溝幅Xとの関係を示す図である。

【図4】本発明による半導体集積回路の製造方法の実施例1の1工程における断面図である。

【図5】本発明による半導体集積回路の製造方法の実施例1の1工程における断面図である。

【図6】本発明による半導体集積回路の製造方法の実施例1の1工程における断面図である。

【図7】本発明による半導体集積回路の製造方法の実施例1の1工程における断面図である。

【図8】本発明による半導体集積回路の製造方法の実施例1の1工程における断面図である。

【図9】本発明による素子分離パターンの第二の例を示す平面図である。

【図10】本発明による半導体集積回路の製造方法の実施例2の1工程における断面図である。

【図11】本発明による半導体集積回路の製造方法の実施例2の1工程における断面図である。

【図12】本発明による半導体集積回路の製造方法の実施例2の1工程における断面図である。

【図13】本発明による半導体集積回路の製造方法の実施例2の1工程における断面図である。

【図14】本発明による半導体集積回路の製造方法の実施例2の1工程における断面図である。

【図15】本発明による半導体集積回路の製造方法の実施例3の1工程における断面図である。

【図16】本発明による半導体集積回路の製造方法の実施例4の1工程における断面図である。

【図17】本発明による半導体集積回路の製造方法の実施例4の1工程における断面図である。

【図18】本発明による半導体集積回路の製造方法の実施例4の1工程における断面図である。

【図19】本発明による半導体集積回路の製造方法の実施例4の1工程における断面図である。

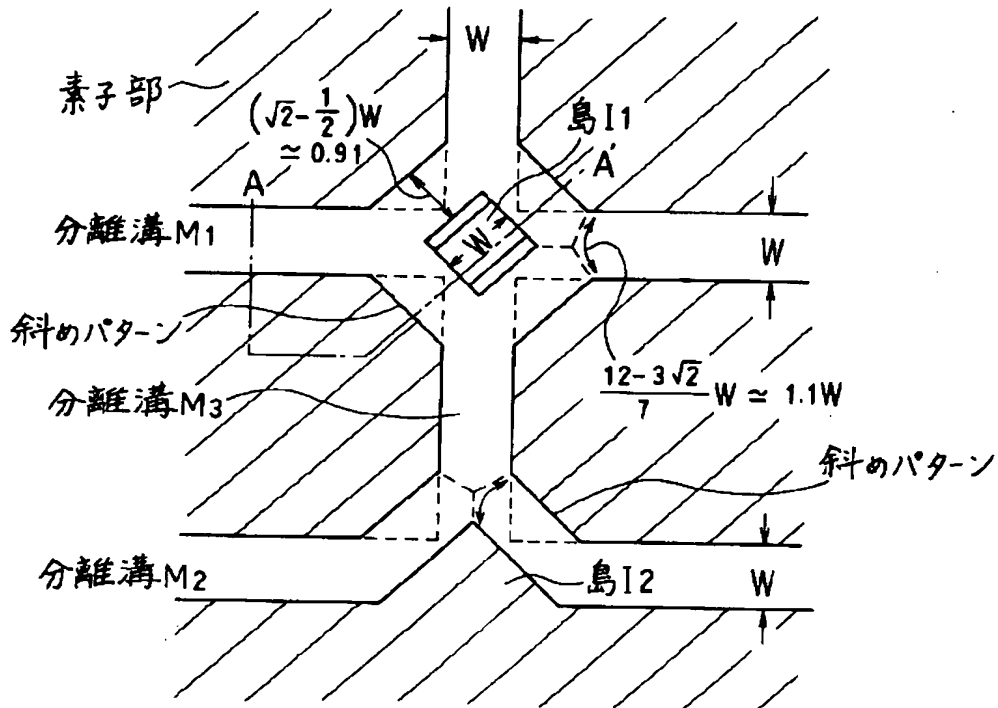
【図20】本発明による半導体集積回路の製造方法の実施例4の1工程における断面図である。

【符号の説明】

- 1、38：P型Si基板、
- 2：N型埋込層、
- 3：Siエピタキシャル成長層、
- 4、7、9、11、12、15、27、28、30、32、34、36、37、39、42、43、45、49、52：SiO₂膜、
- 8、35、40：Si₃N₄膜、
- 10、14、19、31、44、51：多結晶Si膜、
- 5、33、41：U字溝、
- 6：チャネル発生防止層、
- 18：ベース層、
- 20：エミッタ層、
- 21、57はパッシベーション膜、
- 22：バリア金属層、23：Al電極、
- 24：エミッタ電極、
- 25：ベース電極、
- 26：コレクタ電極、
- 46：ホトレジスト膜、
- 47、48：ウエル拡散層、
- 50：チャネル領域、
- 53、54、55、56：ソースまたはドレイン拡散層。

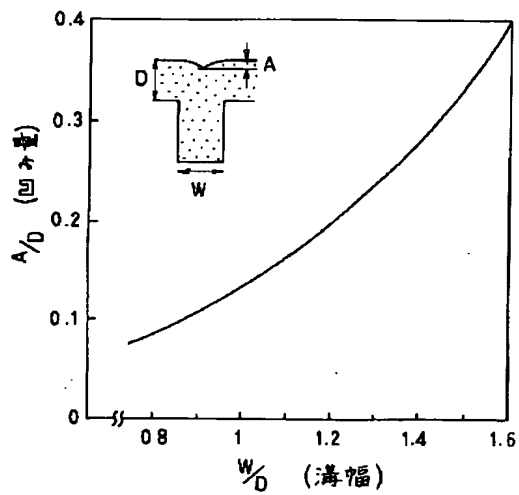
【図1】

図 1



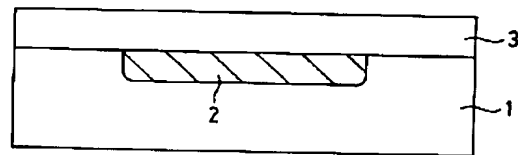
【図3】

図 3



【図4】

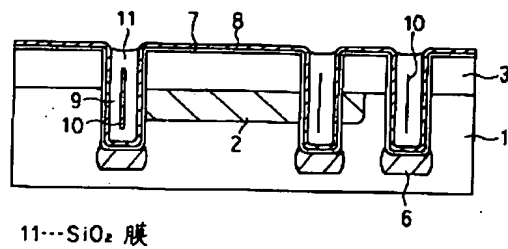
図 4



1---Si基板 2---N型埋め込み層
3---Si エピタキシャル成長層

【図7】

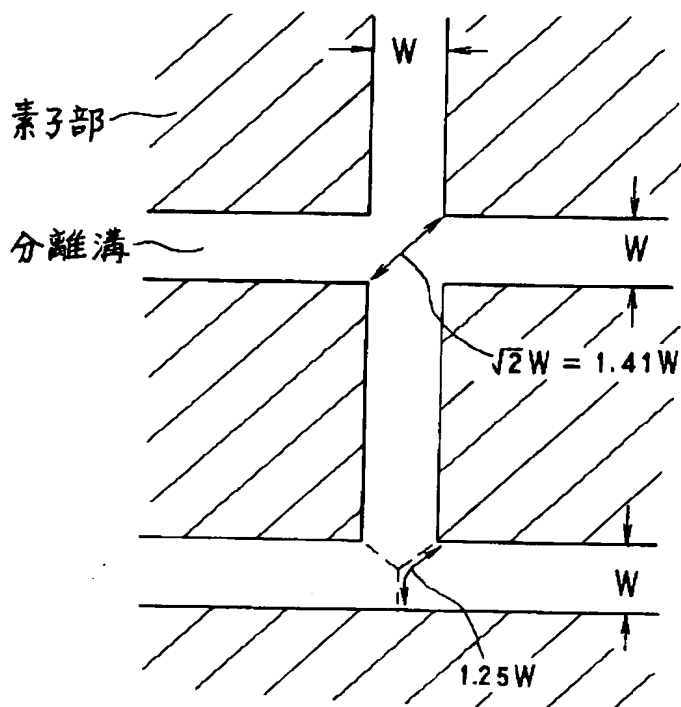
図 7



11---SiO₂ 膜

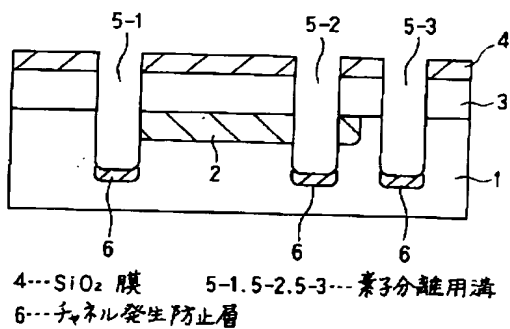
【図2】

図2



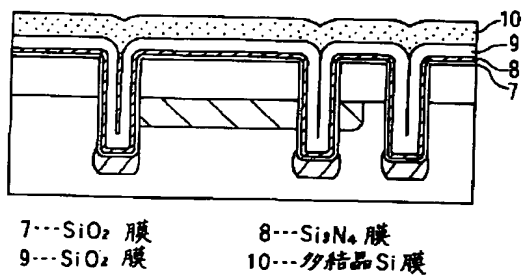
【図5】

図5



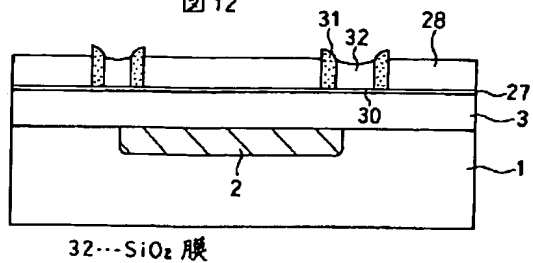
【図6】

図6



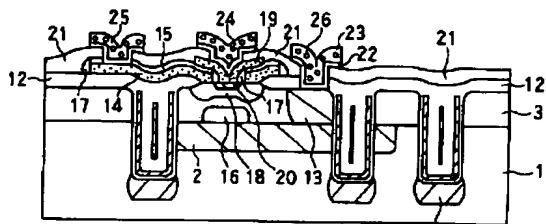
【図12】

図12



【図8】

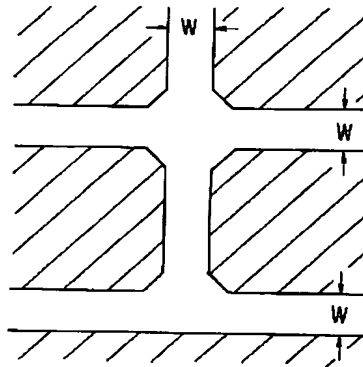
図8



12---フィールド酸化膜 13---N型拡散層 14,19---多結晶Si膜
15,17---SiO₂膜 20---エミッタ拡散層 21---バリアーシオン膜
22---バリアー金属 24---エミッタ電極 25---ベース電極 26---コレクタ電極

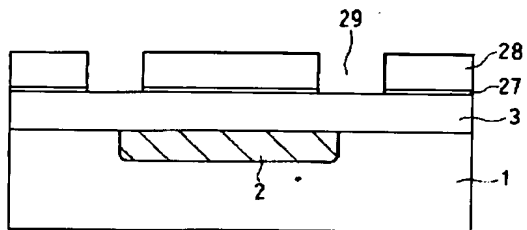
【図9】

図9



【図10】

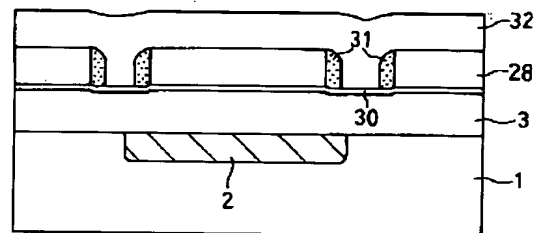
図10



1---Si基板 2---埋め込み層 3---Siエピタキシャル層
27---熱酸化膜 28---CVD酸化膜 29---溝

【図11】

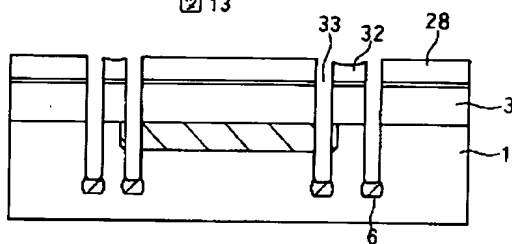
図11



30---SiO₂酸化膜 31---多結晶Si膜 32---SiO₂膜

【図13】

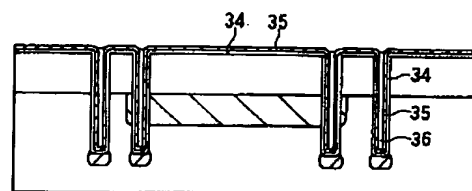
図13



33---U溝 6---チャネル防止層

【図14】

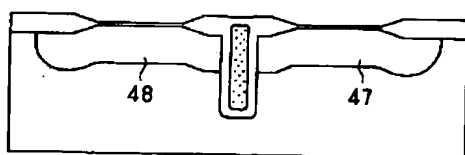
図14



34---SiO₂膜 35---Si₃N₄膜 36---SiO₂膜

【図19】

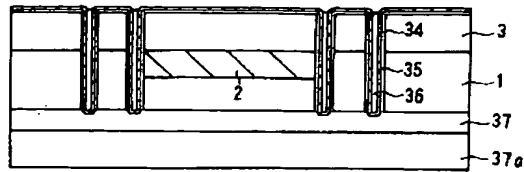
図19



48---N型のウェル領域

【図15】

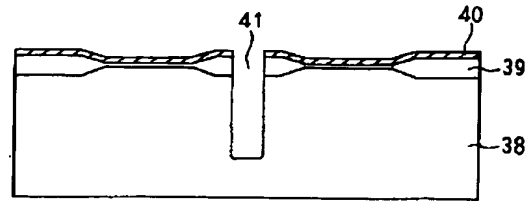
図15



1---Si 2---N型埋め込み層 3---Siエピタキシャル層
34,36---SiO₂膜 35---Si₃N₄膜 37---SiO₂膜
37a---支持基板Si

【図16】

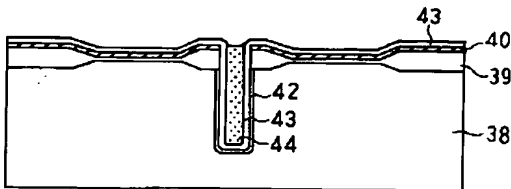
図16



38---SiO₂基板 39---SiO₂膜 40---Si₃N₄膜
41---V字溝

【図17】

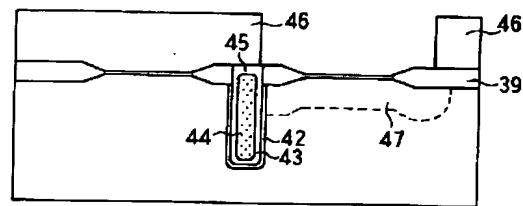
図17



42,43---SiO₂膜 44---多結晶Si膜

【図18】

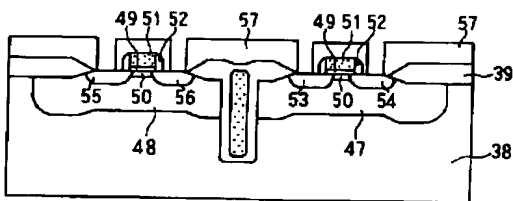
図18



45---SiO₂膜 46---ホトレジスト膜 47---ウェル領域

【図20】

図20



49---ゲート酸化膜 51---多結晶Si膜 52---SiO₂膜
53,55---ソース拡散層 54,56---ドレイン拡散層 57---ポリシリコン膜

フロントページの続き

(72)発明者 中村 徹
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内